



IPW

Patent

Customer No. 31561  
Application No.: 10/709,179  
Docket No. 10544-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Chang et al.  
Application No. : 10/709,179  
Filed : Apr 19, 2004  
For : STACK-TYPE MULTI-CHIP PACKAGE AND METHOD  
OF FABRICATING BUMPS ON THE BACKSIDE OF A  
CHIP  
Examiner : N/A  
Art Unit : 2811

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92109018,  
filed on: 2003/4/18.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: August 9, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

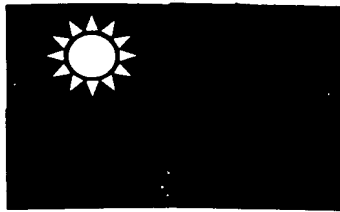
**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 04 月 18 日  
Application Date

申請案號：092109018  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2004 年 5 月  
Issue Date

BEST AVAILABLE COPY

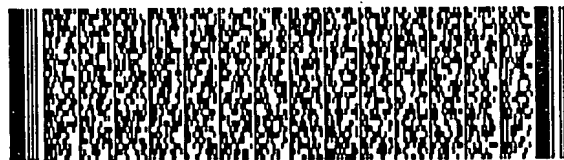
發文字號：09320504210  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	堆疊型多晶片封裝結構及晶片背面形成凸塊的方法
	英 文	STACK-TYPE MULTI-CHIPS PACKAGE AND METHOD FOR FABRICATING BUMPS ON A BACKSIDE SURFACE OF A CHIP
二、 發明人 (共2人)	姓 名 (中文)	1. 張志煌 2. 溫小周
	姓 名 (英文)	1. Chih-Huang Chang 2. Wen Shau-Chuo
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台南縣永康市西勢路158巷11號 2. 高雄縣鳳山市瑞竹路190巷9號
	住居所 (英 文)	1. No. 11, Lane 158, Hsishih Rd., Yungkang City, Tainan Hsien, R.O.C. 2. No. 9, Lane 190, Ruei-Chu Rd., Fengshan, Kaohsiung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



四、中文發明摘要 (發明名稱：堆疊型多晶片封裝結構及晶片背面形成凸塊的方法)

一種堆疊型多晶片封裝結構，至少包括一基板、一第一晶片、一第二晶片、多個凸塊墊、多個凸塊、多條第一導線、多條第二導線及一封裝材料。第一晶片係以其背面貼附到基板上。第二晶片係裝配到第一晶片之主動表面上。凸塊墊位在第二晶片之背面上。多個凸塊係位在第一晶片與第二晶片之間，且凸塊係分別與第一晶片及凸塊墊接合。藉由第一導線與第二導線分別使第一晶片、第二晶片與基板電性連接。封裝材料包覆第一晶片、第二晶片、凸塊、第一導線及第二導線。

伍、(一)、本案代表圖為：第\_\_\_\_3\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

300：堆疊型多晶片封裝模組

310：第一晶片

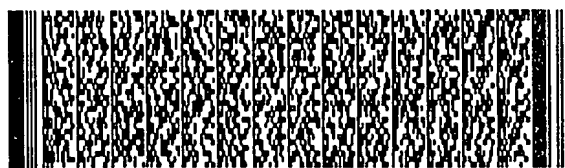
311：第一主動表面

312：第一鐳墊

313：第一凸塊墊

陸、英文發明摘要 (發明名稱：STACK-TYPE MULTI-CHIPS PACKAGE AND METHOD FOR FABRICATING BUMPS ON A BACKSIDE SURFACE OF A CHIP)

A stack-type multi-chips package includes a substrate, a first chip, a second chip, multiple bump pads, multiple bumps, multiple first wires, multiple second wires and a molding compound. The first chip is mounted on the substrate via a backside surface thereof. The second chip is mounted on an active surface of the first chip via a backside surface thereof. The bump pads are



四、中文發明摘要 (發明名稱：堆疊型多晶片封裝結構及晶片背面形成凸塊的方法)

317 : 第一背面	320 : 第二晶片
321 : 第二主動表面	322 : 第二鐳墊
327 : 第二背面	330 : 基板
331 : 上表面	332 : 晶片座
333 : 第一接點	334 : 第二接點
337 : 下表面	338 : 第三接點
340 : 第一導線	350 : 第二導線
360 : 封裝材料	370 : 鐳球
380 : 第二凸塊墊	390 : 凸塊
397 : 黏著材料	

陸、英文發明摘要 (發明名稱：STACK-TYPE MULTI-CHIPS PACKAGE AND METHOD FOR FABRICATING BUMPS ON A BACKSIDE SURFACE OF A CHIP)

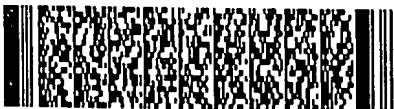
formed on the backside surface of the second chip. The bumps are positioned between the first chip and the second chip and connects the bump pads and the first chip. The first chip and the second chip are electrically connected to the substrate via the first wires and the second wires, respectively. The molding compound encapsulates the first chip, the second chip, the bumps, the



四、中文發明摘要 (發明名稱：堆疊型多晶片封裝結構及晶片背面形成凸塊的方法)

陸、英文發明摘要 (發明名稱：STACK-TYPE MULTI-CHIPS PACKAGE AND METHOD FOR FABRICATING BUMPS ON A BACKSIDE SURFACE OF A CHIP)

first wires and the second wires.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

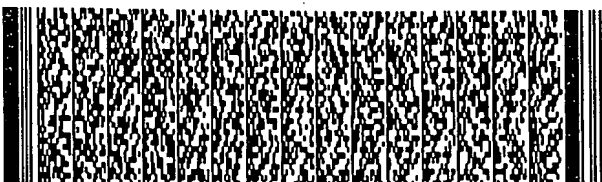
本發明是有關於一種堆疊型多晶片封裝結構及晶片背面形成凸塊的方法，且特別是有關於一種利用凸塊墊開晶片之堆疊型多晶片封裝結構及其所對應的晶片背面形成凸塊之方法。

### 【先前技術】

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為二個階段：積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。一般所見的裸晶片係經由晶圓(Wafer)製作、離子摻雜、線路沈積、介電層沈積及晶圓切割等步驟而完成。而在裸晶製作完成之後，便要進行封裝製程，比如可以利用導線或是凸塊使晶片與基板電性連接。並且透過封裝的步驟可以保護裸晶片及裸晶片與基板間電性連接的部份。

隨著電子科技不斷地演進，功能性更複雜、更人性化的產品推陳出新，就電子產品外觀而言，也朝向輕、薄、短、小的趨勢設計，因此在半導體構裝技術上，開發出許多高密度半導體封裝的形式。而多晶片封裝模組便是常見的高密度半導體封裝形式之一，比如是堆疊型多晶片封裝結構，其係將多個晶片堆疊並封膠在一封裝材料內。多晶片封裝模組由於晶片間的訊號傳輸路徑較短，因此亦具有高電性效能的優點。

請參照第1圖，其繪示習知堆疊型多晶片封裝模組的剖面示意圖。一般而言，堆疊型多晶片封裝模組100包括



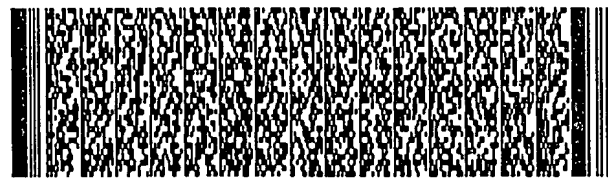
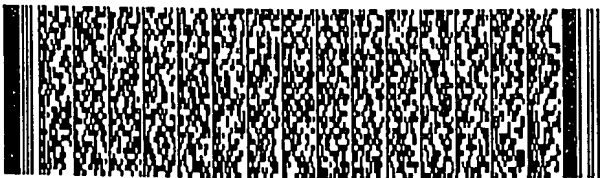


## 五、發明說明 (2)

二晶片110、120、一基板130、多條導線140、150、一封裝材料160及多個焊球170，其中二晶片110、120係堆疊在基板130之一上表面132上，藉由一黏著材料180可以使晶片110、120相互接合，並墊開二晶片110、120，其中黏著材料180比如是環氧樹脂(epoxy)，而晶片110、120分別透過導線140、150可以與基板130電性連接，封裝材料160係包覆晶片110、120及導線140、150，焊球170係形成在基板130之一下表面134上。

在上述之堆疊型多晶片封裝模組100中，係藉由黏著材料180以墊開二晶片110、120，使得導線140可以順利地接合在晶片110之主動表面112上。然而，藉由黏著材料180控制晶片110、120間所墊開的距離，甚為不易，並且由於黏著材料180係為黏著的樣態，因此當晶片120在堆疊到晶片110上的過程中，晶片120可能會有置放歪斜的情況產生，使得晶片120會有可能碰觸到導線140的風險，嚴重時可能會使導線140之間產生短路的情形，而大幅影響堆疊型多晶片封裝模組100的效能。

因此，為解決上述問題，便提出另一種堆疊型多晶片封裝模組，如第2圖所示，其繪示習知另一種堆疊型多晶片封裝模組的剖面示意圖。其中，一虛擬晶片280(dummy die)係墊在晶片210、220之間，藉以墊開晶片210、220，而虛擬晶片280係分別藉由黏著材料282、284與晶片210、220接合。如此，藉由控制虛擬晶片280的厚度，便可以較精準地調整晶片210、220間所墊開的距離。



### 五、發明說明 (3)

然而，在上述的堆疊型多晶片封裝模組200之製程中，還必須進行研磨虛擬晶片280到特定厚度的步驟、切割虛擬晶片280的步驟及將虛擬晶片280置放到晶片210、220之間的步驟等。因此，就製程上而言，較為麻煩。

#### 【發明內容】

本發明的目的之一是提出一種堆疊型多晶片封裝結構及晶片背面形成凸塊的方法，藉由凸塊可以有效地墊開所堆疊的晶片，使得與下層晶片電性連接的導線可以避免與上層晶片碰觸。

本發明的目的之二是提出一種堆疊型多晶片封裝結構及晶片背面形成凸塊的方法，還形成一凸塊墊在下層晶片的背面上，藉以使凸塊可以牢固地固定在下層晶片的背面上。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本發明之上述目的，提出一種堆疊型多晶片封裝結構，至少包括一基板、一第一晶片、一第二晶片、多個第二凸塊墊、多個凸塊、多條第一導線、多條第二導線及一封裝材料。第一晶片具有一第一主動表面及對應之一第一背面，並且第一晶片還具有多個第一鉑墊及多個第一凸塊墊，第一鉑墊位在第一主動表面的邊緣區域上，第一

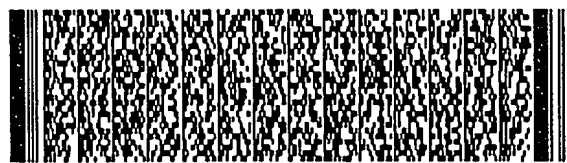


#### 五、發明說明 (4)

凸塊墊位在第一主動表面上，第一晶片係以第一背面貼附到基板上。第一導線的一端與第一鐳墊電性連接，第一導線的另一端與基板電性連接。第二晶片具有一第二主動表面及對應之一第二背面，並且第二晶片還具有多個第二鐳墊，第二鐳墊係位在第二主動表面的邊緣區域上，而第二晶片係裝配到第一晶片之第一主動表面上，第二背面係朝向第一晶片。第二凸塊墊位在第二晶片之第二背面上。多個凸塊係位在第一晶片與第二晶片之間，且凸塊係分別與第一凸塊墊及第二凸塊墊接合。第二導線的一端與第二鐳墊電性連接，第二導線的另一端與基板電性連接。封裝材料包覆第一晶片、第二晶片、凸塊、第一導線及第二導線。

為達本發明之上述目的，提出一種晶片背面形成凸塊的方法，包括下列步驟。首先要提供一晶片，晶片具有一主動表面及對應之一背面，並且晶片還具有多個鐳墊，位在該主動表面上。接著，形成一金屬層到晶片之背面上，接下來要圖案化金屬層，藉以形成至少一凸塊墊。。然後，形成至少一凸塊到凸塊墊上。

為達本發明之上述目的，提出一種晶片背面形成凸塊的方法，包括下列步驟。首先要提供一晶片，晶片具有一主動表面及對應之一背面，並且晶片還具有多個鐳墊，位在該主動表面上。接著，要置放一網板到晶片之背面上，網板具有至少一開口，貫穿網板，並暴露出晶片之背面。之後，要形成一金屬層到網板上及網板之開口所暴露



## 五、發明說明 (5)

出之晶片之背面上。接下來，要移除網板，此時殘留在晶片之背面上的金屬層即為凸塊墊。然後，形成至少一凸塊到凸塊墊上。

綜上所述，本發明之堆疊型多晶片封裝結構，可以藉由凸塊可以有效地墊開第一晶片及第二晶片，使得第一導線可以避免與第二晶片之第二背面碰觸。

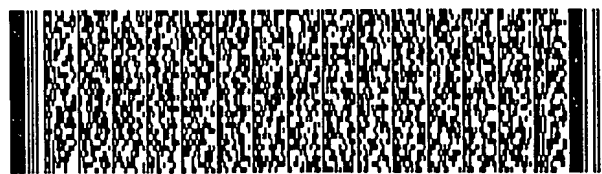
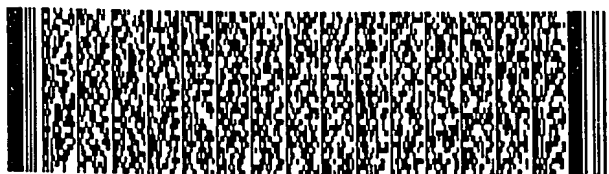
另外，本發明之晶片背面形成凸塊的方法，藉由形成一第二凸塊墊到第二晶片的第二背面上，且在接合第一晶片與第二晶片時，凸塊係位在第二凸塊墊與第一凸塊墊之間，如此藉由凸塊可以使第一晶片與第二晶片之間接合得更穩固。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

請參照第3圖，其繪示依照本發明一較佳實施例之堆疊型多晶片封裝模組的剖面示意圖。一種堆疊型多晶片封裝結構300包括一基板330、一第一晶片310、一第二晶片320、多條第一導線340、多條第二導線350、多個第二凸塊墊380、多個凸塊390(bump)、一封裝材料360(molding compound)及多個焊球370(solder ball)。

基板330具有一上表面331及對應之一下表面337，並且基板還具有一晶片座332、多個第一接點333、多個第二接點334及多個第三接點338，晶片座332、第一接點333、



#### 五、發明說明 (6)

第二接點334係配置在基板330之上表面331上，第一接點333係環繞在晶片座332的外圍，第二接點334係環繞在第一接點333的外圍，而第三接點338係以矩陣排列的方式配置在基板330之下表面337上。

第一晶片310具有一第一主動表面311及對應之一第一背面317，並且第一晶片310還具有多個第一鐳墊312及多個第一凸塊墊313，均位在第一晶片310之第一主動表面311的邊緣區域上，而第一凸塊墊313比如是位在靠近第一鐳墊312的位置。第一晶片310係以其第一背面317並藉由一黏著材料397貼附到基板330之晶片座332上。而第一導線340的一端與第一晶片310之第一鐳墊312電性連接，第一導線340的另一端與基板330之第一接點333電性連接。

第二晶片320具有一第二主動表面321及對應之一第二背面327，並且第二晶片320還具有多個第二鐳墊322，係位在第二晶片320之第二主動表面321的邊緣區域上。

第二凸塊墊380係位在第二晶片320之第二背面327上，其中第二凸塊墊380的材質比如是金。凸塊390係分別與第一晶片310之第一凸塊墊313及位在第二晶片320之第二背面327上的第二凸塊墊380接合，而凸塊380比如是位在第一晶片310之第一主動表面311的邊緣區域，靠近第一鐳墊312的位置，如此藉由凸塊390便可以將第二晶片320固定到第一晶片310上，而第二晶片320之第二背面327係朝向第一晶片310之第一主動表面311。其中凸塊390的材質可以是錫鉛合金、金或是其他比如是錫銀銅合金之無鉛



## 五、發明說明 (7)

合金，而凸塊390的高度比如是介於200微米到300微米之間。

第二導線350的一端可以與第二晶片320之第二鐳墊322電性連接，第二導線350的另一端可以與基板330之第二接點334電性連接。封裝材料360係包覆第一晶片310、第二晶片320、凸塊390、第一導線340及第二導線350。而焊球370係位在基板330之第三接點338上。

在上述之堆疊型多晶片封裝模組300中，藉由凸塊390可以有效地墊開第一晶片310及第二晶片320，使得第一導線340可以避免與第二晶片320之第二背面327碰觸。

接下來，將敘述第一晶片310與第二晶片320接合的方法，大致上可以分成兩種。第一種方法係為比如利用圖案化電鍍、印刷、打線機打上凸塊或植球的方式，先將凸塊390形成在第二凸塊墊380上；接著再將第二晶片320置放到第一晶片310上，其中凸塊390係對準第一晶片310之第一凸塊墊313；之後再進行迴焊的步驟，使得凸塊390可以與第一凸塊墊313接合。如此第一晶片310便可以與第二晶片320接合。

第二種方法係為比如利用圖案化電鍍、印刷、打線機打上凸塊或植球的方式，先將凸塊390形成在第一晶片310之第一凸塊墊313上，並且還將第二凸塊墊380形成到第二晶片320之第二背面327上；之後，再將第二晶片320置放到第一晶片310上，其中第二凸塊墊380係對準凸塊390的位置；接下來，再進行迴焊的步驟，使得凸塊390可



#### 五、發明說明 (8)

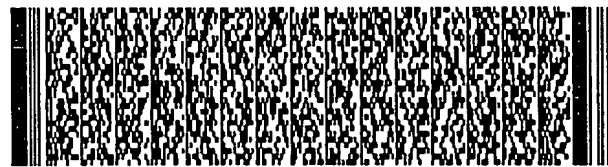
以與第二凸塊墊380接合。如此第一晶片310便可以與第二晶片320接合。

接下來，將詳盡地敘述形成第二凸塊墊到第二晶片之第二背面上的方法。請參照第4A圖到第4F圖，其繪示依照本發明第一較佳實施例之形成第二凸塊墊到第二晶片之第二背面上的製程剖面放大示意圖。

請先參照第4A圖，首先提供一第二晶片320，第二晶片320包括一基底325及一二保護層328、329，分別位在基底325對應之二表面上，其中保護層328係位在第二晶片320之第二背面327的表層，保護層329係位在第二晶片320之第二主動表面321的表層，且保護層329具有多個開口323(僅繪示出其中的一個)，藉以暴露出第二鉀墊322。基底325的材質比如是矽，而保護層328、329的材質比如是氧矽化合物、氮矽化合物或是磷矽玻璃等。

請參照第4B圖，接著可以形成一保護膜382到第二晶片320之第二主動表面321上，藉以保護位在第二晶片320之第二主動表面321處的電子元件(未繪示)。接下來，可以利用研磨的方式或是蝕刻的方式，將保護層328去除，使得基底325位在第二晶片320之第二背面327的一側係暴露於外，而形成如第4C圖所示的樣式。其中，若是從晶圓廠送來時便無保護膜328時，亦可以省去上述去除保護膜328的步驟。

請參照第4D圖，接下來比如藉由濺鍍、電鍍或無電電鍍等方式，形成一金屬層384到位在第二晶片320之第二



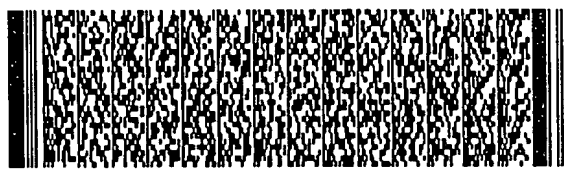
## 五、發明說明 (9)

背面327處的基底325上，其中金屬層384的材質比如是金。之後，可以利用微影蝕刻的方式，圖案化金屬層384，藉以形成第二凸塊墊380到位在第二晶片320之第二背面327處的基底325上，類似如第4E圖所示的樣式，如此第二凸塊墊380便製作完成。

接著，便可以去除位在第二晶片320之第二主動表面321上的保護膜382，而形成如第4F圖所示的樣式。請參照第3圖，這時若是在第一晶片310上已形成凸塊390，則便可以利用熱壓合或迴焊的方式，使得凸塊390可以與第二凸塊墊380接合，如此第一晶片310便可以與第二晶片320接合，且藉由凸塊390，第一晶片310與第二晶片320之間可以隔開一段距離。

或是請參照第5A圖及第5B圖，其繪示依照本發明第一較佳實施例之形成凸塊到第二凸塊墊上的剖面放大示意圖。請先參照第5A圖，其中在形成第二凸塊墊380之後及去除保護膜382之前，可以利用圖案化電鍍、印刷、打線機打上凸塊或植球等方式，將凸塊390形成到第二凸塊墊380上。之後，便可以去除位在第二晶片320之第二主動表面321上的保護膜382，而形成如第5B圖所示的樣式。請參照第3圖，接下來，便可以利用熱壓合或迴焊的方式，使得凸塊390可以與第一晶片310之第一凸塊墊313接合，如此第一晶片310便可以與第二晶片320接合。

如上所述，藉由形成一第二凸塊墊380到第二晶片320的第二背面327上，且在接合第一晶片310與第二晶片





## 五、發明說明 (10)

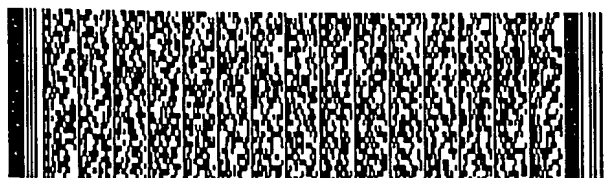
320 時，凸塊390係位在第一凸塊墊313與第二凸塊墊380之間，如此藉由凸塊390可以使第一晶片310與第二晶片320之間接合得更穩固。

然而，本發明形成第二凸塊墊的方法，並非僅限於上述的方式，亦可以是其他的方式，如下所述。請參照第6A圖至第6C圖，其繪示依照本發明第二較佳實施例之形成第二凸塊墊到第二晶片之第二背面上的製程剖面放大示意圖。其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。

請先參照第6A圖，其中在去除如第4B圖所示的保護層328之後，還要將一網板410置放到第二晶片320之第二背面327上，其中網板410具有多個開口412（僅繪示出其中的一個），貫穿網板410，並暴露出第二晶片320之第二背面327。請參照第6B圖，然後比如可以利用濺鍍、電鍍或無電電鍍的方式，形成一金屬層420到網板410上及網板410之開口412所暴露出之第二晶片320之第二背面327上。接下來，可以移除網板410，這時僅會殘留原先位在網板410之開口412中的金屬層420於第二晶片320之第二背面327上，如此第二凸塊墊480便製作完成。

在前述的較佳實施例中，係以堆疊兩個晶片為例，然而本發明亦可以是應用在超過兩個晶片的堆疊上。

綜上所述，本發明之堆疊型多晶片封裝結構及晶片背面形成凸塊的方法至少具有下列優點：

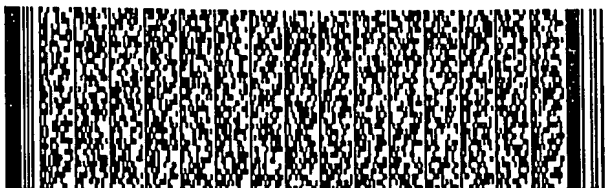


#### 五、發明說明 (11)

1. 本發明之堆疊型多晶片封裝結構，可以藉由凸塊可以有效地墊開第一晶片及第二晶片，使得第一導線可以避免與第二晶片之第二背面碰觸。

2. 本發明之晶片背面形成凸塊的方法，藉由形成一第二凸塊墊到第二晶片的第二背面上，且在接合第一晶片與第二晶片時，凸塊係位在第二凸塊墊與第一凸塊墊之間，如此藉由凸塊可以使第一晶片與第二晶片之間接合得更穩固。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示習知堆疊型多晶片封裝模組的剖面示意圖。

第2圖繪示習知另一種堆疊型多晶片封裝模組的剖面示意圖。

第3圖繪示依照本發明一較佳實施例之堆疊型多晶片封裝模組的剖面示意圖。

第4A圖到第4F圖繪示依照本發明第一較佳實施例之形成第二凸塊墊到第二晶片之第二背面上的製程剖面放大示意圖。

第5A圖及第5B圖繪示依照本發明第一較佳實施例之形成凸塊到第二凸塊墊上的剖面放大示意圖。

第6A圖至第6C圖繪示依照本發明第二較佳實施例之形成第二凸塊墊到第二晶片之第二背面上的製程剖面放大示意圖。

### 【圖式標示說明】

100：堆疊型多晶片封裝模組

110：晶片

112：主動表面

120：晶片

130：基板

132：上表面

134：下表面

140：導線

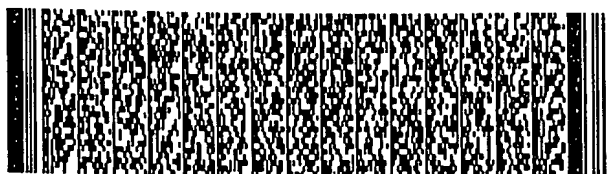
150：導線

160：封裝材料

170：鐳球

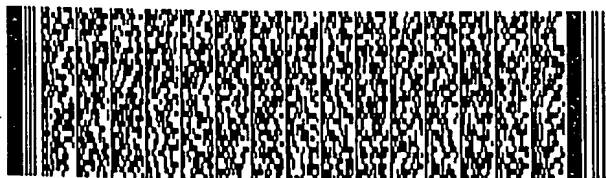
180：黏著材料

200：堆疊型多晶片封裝模組



圖式簡單說明

210 : 晶片	220 : 晶片
280 : 虛擬晶片	282 : 黏著材料
284 : 黏著材料	
300 : 堆疊型多晶片封裝模組	
310 : 第一晶片	311 : 第一主動表面
312 : 第一鐳墊	313 : 第一凸塊墊
317 : 第一背面	320 : 第二晶片
321 : 第二主動表面	322 : 第二鐳墊
323 : 開口	325 : 基底
327 : 第二背面	328 : 保護層
329 : 保護層	330 : 基板
331 : 上表面	332 : 晶片座
333 : 第一接點	334 : 第二接點
337 : 下表面	338 : 第三接點
340 : 第一導線	350 : 第二導線
360 : 封裝材料	370 : 鐳球
380 : 第二凸塊墊	382 : 保護膜
384 : 金屬層	390 : 凸塊
397 : 黏著材料	410 : 網板
412 : 開口	420 : 金屬層
480 : 第二金屬層	



## 六、申請專利範圍

1. 一種堆疊型多晶片封裝結構，至少包括：

一基板；

一第一晶片，具有一第一主動表面及對應之一第一背面，並且該第一晶片還具有複數個第一鐳墊及複數個第一凸塊墊，該些第一鐳墊位在該第一主動表面的邊緣區域上，該些第一凸塊墊係位在該第一主動表面上，該第一晶片係以該第一背面貼附到該基板上；

複數條第一導線，該些第一導線的一端與該些第一鐳墊電性連接，該些第一導線的另一端與該基板電性連接；

一第二晶片，具有一第二主動表面及對應之一第二背面，並且該第二晶片還具有複數個第二鐳墊，該些第二鐳墊係位在該第二主動表面的邊緣區域上，而該第二晶片係裝配到該第一晶片之該第一主動表面上，該第二背面係朝向該第一晶片；

複數個第二凸塊墊，位在該第二晶片之該第二背面上，該些第二凸塊墊的材質係為金屬；

複數個凸塊，係位在該第一晶片與該第二晶片之間，且該些凸塊係分別與該些第一凸塊墊及該些第二凸塊墊接合；

複數條第二導線，該些第二導線的一端與該些第二鐳墊電性連接，該些第二導線的另一端與該基板電性連接；以及

一封裝材料，包覆該第一晶片、該第二晶片、該些



## 六、申請專利範圍

凸塊、該些第一導線及該些第二導線。

2. 如申請專利範圍第1項所述之堆疊型多晶片封裝結構，其中該些第二凸塊墊的材質係為金。

3. 如申請專利範圍第1項所述之堆疊型多晶片封裝結構，其中該些凸塊的材質係為金。

4. 如申請專利範圍第1項所述之堆疊型多晶片封裝結構，其中該些凸塊的材質係為錫鉛合金。

5. 如申請專利範圍第1項所述之堆疊型多晶片封裝結構，其中該些凸塊的材質係為無鉛合金。

6. 如申請專利範圍第5項所述之堆疊型多晶片封裝結構，其中該些凸塊的材質係為錫銀銅合金。

7. 如申請專利範圍第1項所述之堆疊型多晶片封裝結構，其中該些凸塊係位在該第一主動表面的邊緣區域，並靠近該些第一鐳墊。

8. 一種具有凸塊之晶片結構，至少包括：

一晶片，具有一主動表面及對應之一背面，並且該晶片還具有複數個鐳墊，位在該主動表面上；

至少一凸塊墊，位在該晶片之該背面上，該凸塊墊的材質係為金屬；以及

至少一凸塊，位在該凸塊墊上。

9. 如申請專利範圍第8項所述之具有凸塊之晶片結構，其中該凸塊的材質係為錫鉛合金。

10. 如申請專利範圍第8項所述之具有凸塊之晶片結構，其中該凸塊的材質係為無鉛合金。



## 六、申請專利範圍

11. 如申請專利範圍第10項所述之具有凸塊之晶片結構，其中該凸塊的材質係為錫銀銅合金。

12. 如申請專利範圍第8項所述之具有凸塊之晶片結構，其中該凸塊墊的材質係為金。

13. 如申請專利範圍第8項所述之具有凸塊之晶片結構，其中該凸塊的材質係為金。

14. 一種晶片背面形成凸塊的方法，至少包括：

提供一晶片，該晶片具有一主動表面及對應之一背面，並且該晶片還具有複數個鐳墊，位在該主動表面上；  
形成至少一凸塊墊到該晶片之該背面上；以及  
形成至少一凸塊到該凸塊墊上。

15. 如申請專利範圍第14項所述之晶片背面形成凸塊的方法，其中形成該凸塊墊到該晶片之該背面上的步驟包括：

形成一金屬層到該晶片之該背面上；以及  
圖案化該金屬層，藉以形成該凸塊墊。

16. 如申請專利範圍第14項所述之晶片背面形成凸塊的方法，其中形成該凸塊墊到該晶片之該背面上的步驟包括：

置放一網板到該晶片之該背面上，該網板具有至少一開口，貫穿該網板，並暴露出該晶片之該背面；

形成一金屬層到該網板上及該網板之該開口所暴露出之該晶片之該背面上；以及

移除該網板，此時殘留在該晶片之該背面上的該金



## 六、申請專利範圍

屬層即為該凸塊墊。

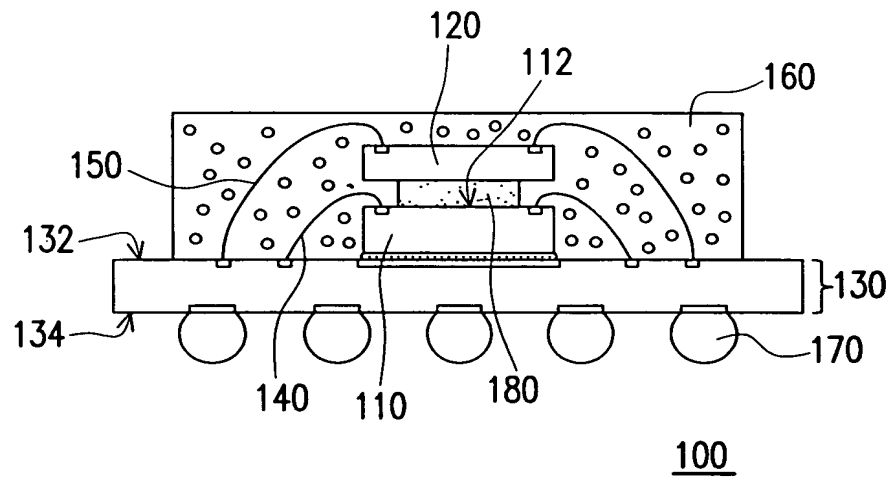
17. 如申請專利範圍第14項所述之晶片背面形成凸塊的方法，其中在形成該凸塊墊到該晶片之該背面上之前，還形成一保護膜到該晶片之該主動表面上。

18. 如申請專利範圍第14項所述之晶片背面形成凸塊的方法，其中該晶片具有一保護層，位在該晶片之該背面的表層，在形成該凸塊墊到該晶片之該背面上之前，還要去除該保護層。

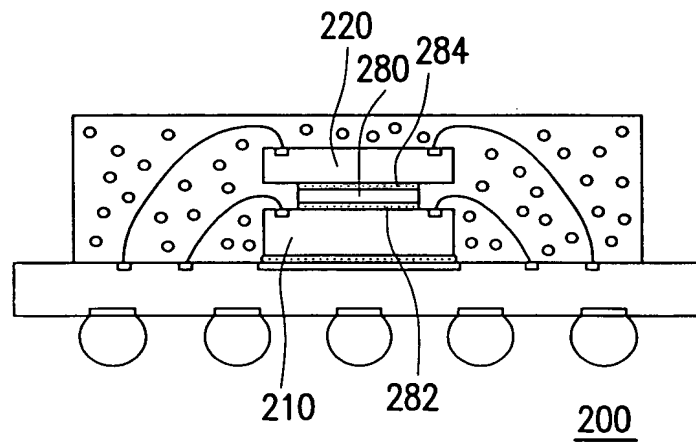
19. 如申請專利範圍第14項所述之晶片背面形成凸塊的方法，其中係利用圖案化電鍍、印刷、打線及植球的方式，四者擇一，形成該凸塊到該凸塊墊上。



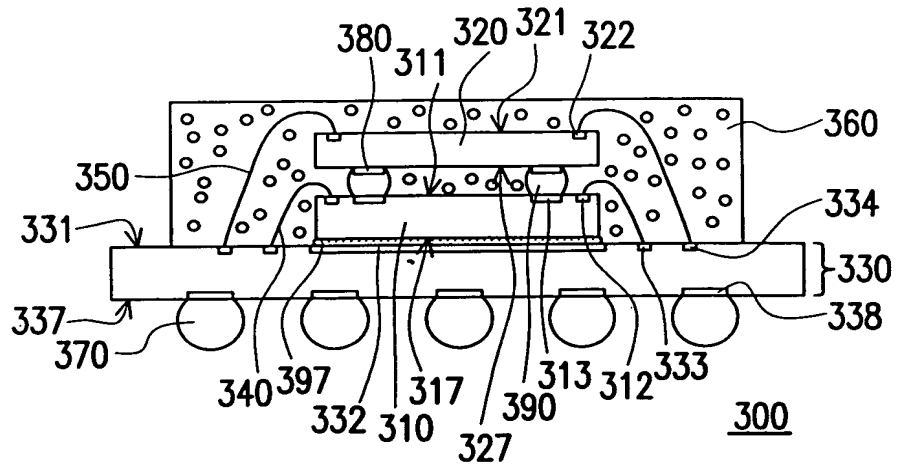




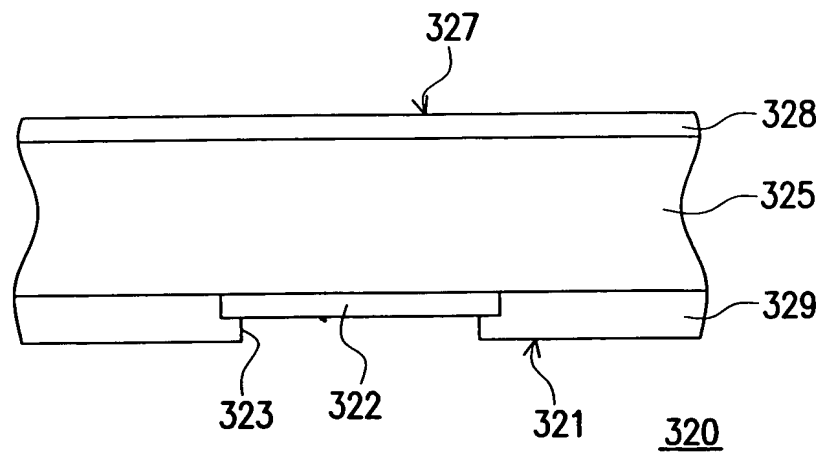
第 1 圖



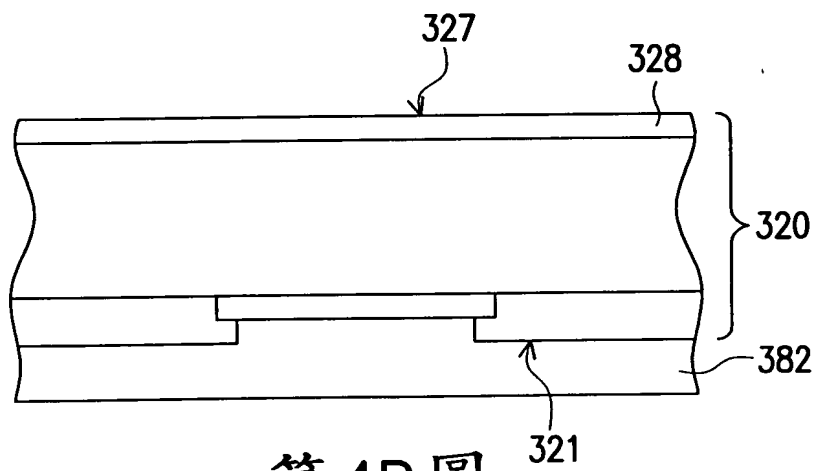
第 2 圖



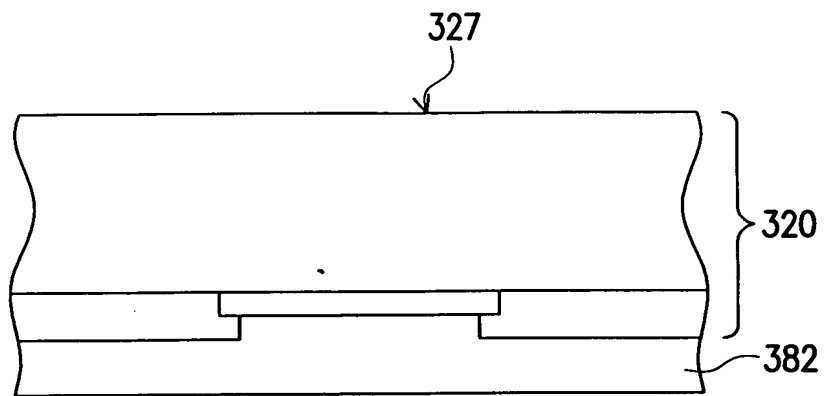
第 3 圖



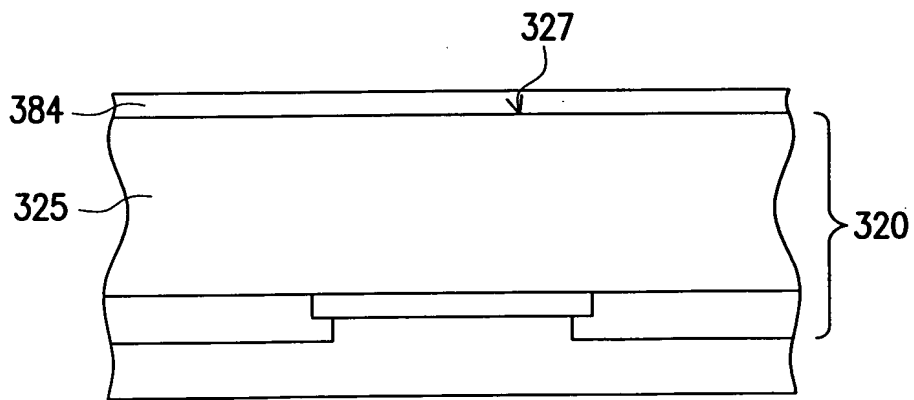
第 4A 圖



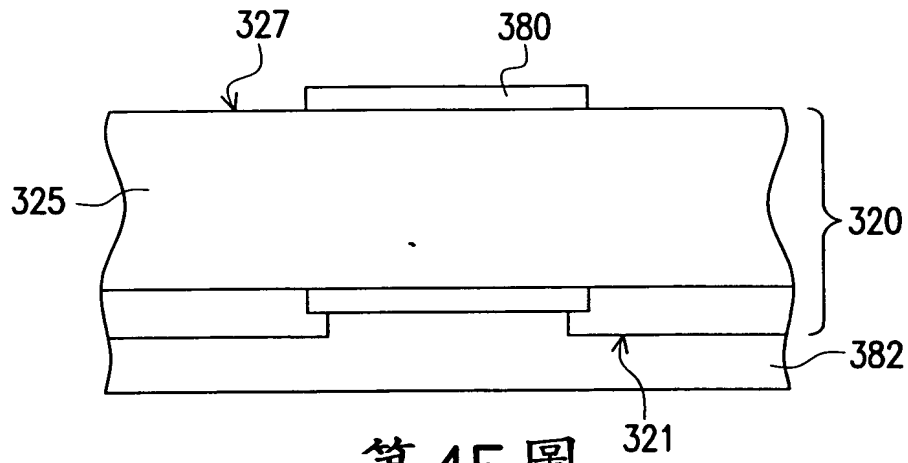
第 4B 圖



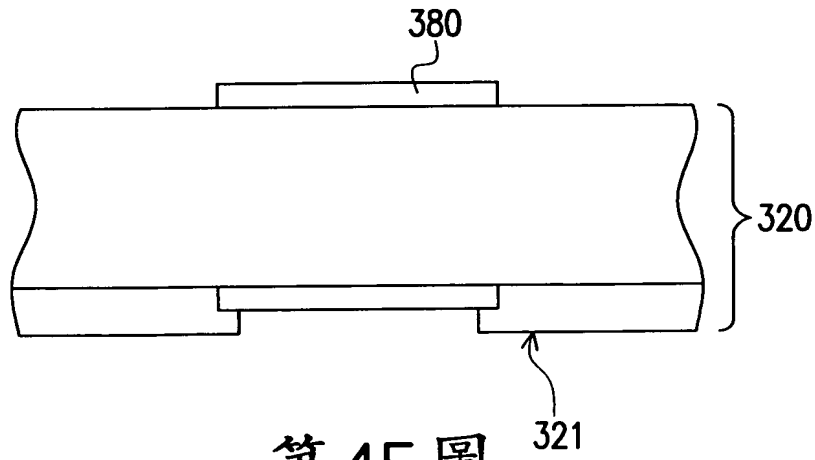
第 4C 圖



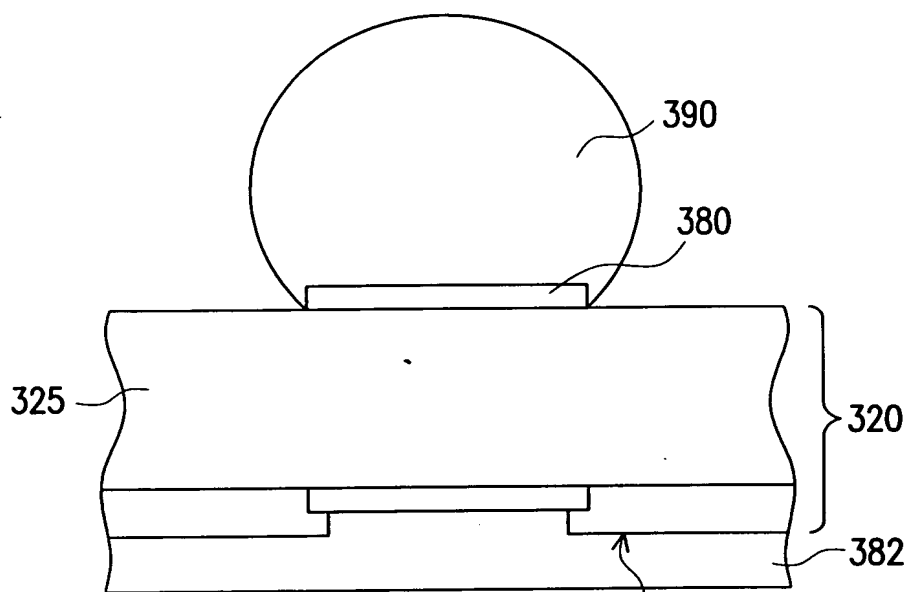
第 4D 圖



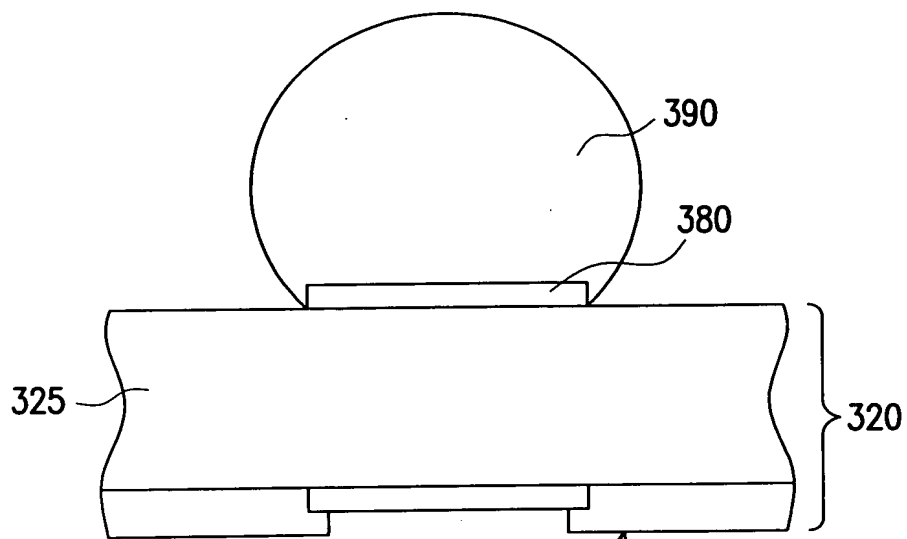
第 4E 圖



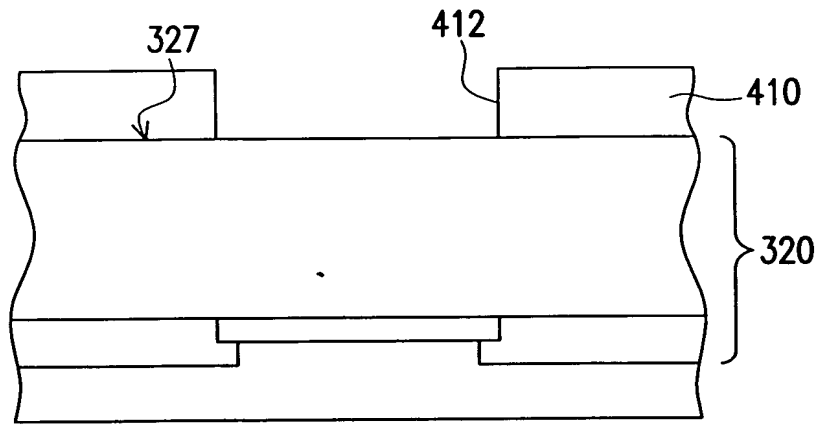
第 4F 圖



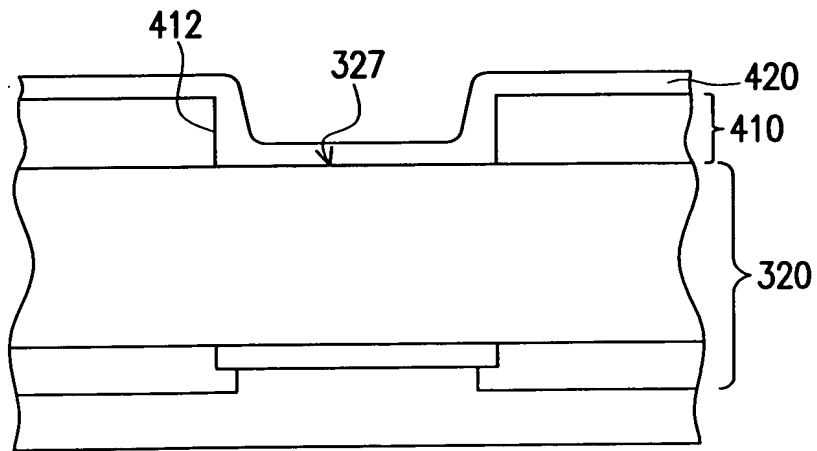
第 5A 圖



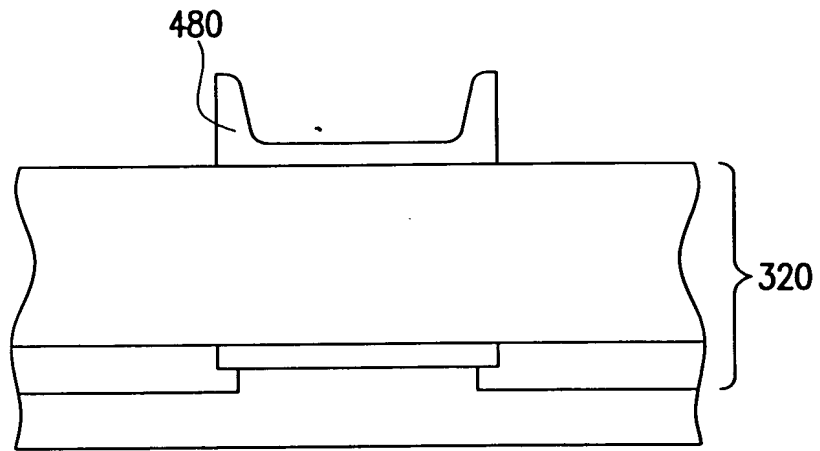
第 5B 圖



第 6A 圖



第 6B 圖



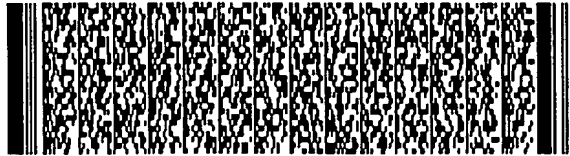
第 6C 圖



第 1/22 頁



第 1/22 頁



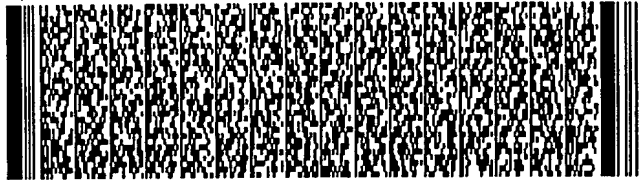
第 2/22 頁



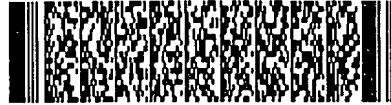
第 2/22 頁



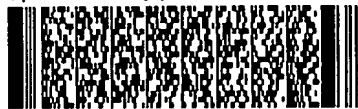
第 3/22 頁



第 4/22 頁



第 5/22 頁



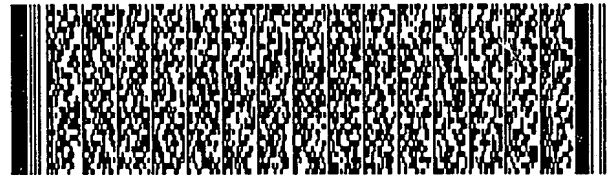
第 6/22 頁



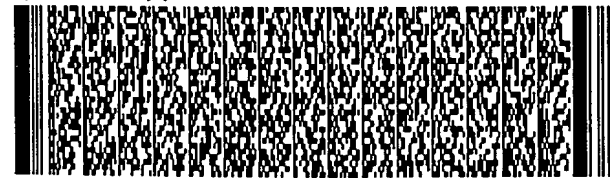
第 6/22 頁



第 7/22 頁



第 7/22 頁



第 8/22 頁



第 8/22 頁



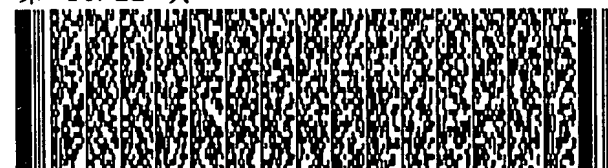
第 9/22 頁



第 9/22 頁



第 10/22 頁



100



100



\_\_\_\_\_

100

\_\_\_\_\_



100

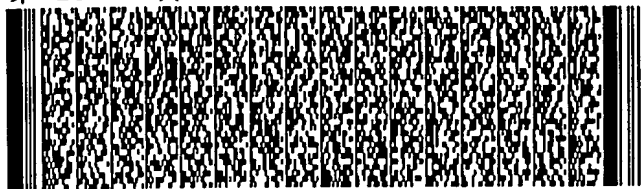
100

100

100



第 21/22 頁



第 22/22 頁



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**